

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62123819 A

(43) Date of publication of application: 05.06.87

(51) Int. Cl.

H03H 11/26

G06G 7/12

H03H 7/30

// A61B 8/00

(21) Application number: 60262447

(22) Date of filing: 25.11.85

(71) Applicant: HITACHI MEDICAL CORP

(72) Inventor:
 KONDO SHINICHI
 KATAKURA KAGEYOSHI
 OGAWA TOSHIO
 UMEMURA SHINICHIRO
 IKEDA HIROSHI

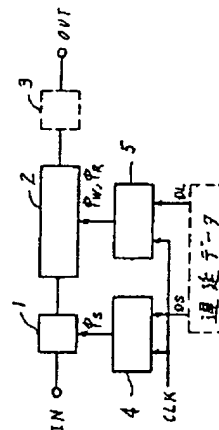
(54) VARIABLE DELAY CIRCUIT

(57) Abstract:

PURPOSE: To attain an optional delay below N/f_s by using a capacitor memory circuit to apply a delay of N/f_s at each sampling period thereby controlling the hold time of a sample-and-hold means connected in series.

CONSTITUTION: The sample-and-hold means 1 and the capacitor memory circuit 2 and connected in series, the sampling frequency is kept constant and the capacitor memory circuit 2 controls a control means 5 to apply a delay of maximum N/f_s , the hold time of the sample-and-hold circuit is controlled by controlling a sample-and-hold pulse means. An optional delay of below N/f_s is attained while keeping the frequency f_s constant.

COPYRIGHT: (C)1987,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-123819

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月5日

H 03 H 11/26
G 06 G 7/12
H 03 H 7/30

7328-5J
7208-5B
7210-5J

※審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 可変遅延回路

⑯ 特 願 昭60-262447

⑰ 出 願 昭60(1985)11月25日

⑱ 発 明 者 近 藤 真 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 片 倉 景 義 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 小 川 俊 雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社 日立メデイコ 東京都千代田区内神田1丁目1番14号

㉒ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

発明の名称 可変遅延回路

特許請求の範囲

1. サンプルホールド手段と、コンデンサメモリ回路と、該サンプルホールド制御手段と、手段のサンプリングのタイミングを制御するサンプルホールド制御手段と、該コンデンサメモリの読み込み、読出しを制御するコンデンサメモリ制御手段とを具備し、上記サンプルホールド手段とコンデンサメモリ回路とを直列接続したことを特徴とする可変遅延回路。
2. 前記サンプルホールド手段を2個以上直列接続したことを特徴とする特許請求の範囲第1項に記載の可変遅延回路。
3. 前記サンプルホールド手段と制御信号と前記コンデンサメモリ回路の制御信号との位相が相対的に可変であることを特徴とする特許請求の範囲第1項もしくは第2項に記載の可変遅延回路。

発明の詳細な説明

(発明の利用分野)

本発明は、アナログ信号の可変遅延回路の構成に関するものである。

(発明の背景)

従来のアナログサンプリングによる可変遅延線は、~~上記文に記述のよう~~に、複数(例えばN個)のコンデンサメモリのサンプリング周波数 f_s を低周波 f_L から高周波 f_H まで変化させることによって、その可変遅延時間を N/f_L から N/f_H まで変化させるものがある。しかし、 f_L は入力信号帯域 f_{in} の2倍以上であり、 f_H はコンデンサメモリの f_s に漸近限界があるため、可変遅延範囲は最大遅延時間に対し限られたものであった。また、高精度の可変遅延を行なうには、サンプリング周波数 f_s を精度よく変化させるための高性能なサンプリング制御手段が必要であった。

(発明の目的)

本発明は、簡単な制御手段により、可変範囲が広くLSI化可能なサンプリングによる可変遅延回路を提供することを目的とする。

〔発明の概要〕

かかる目的を達成するために、本発明は、サンプルホールド手段(S/H手段)と被数(例えばN段)のコンデンサメモリ回路(CM回路)を直列接続し、サンプリング周波数 f_s は一定として、CM回路ではサンプリング周期 $1/f_s$ ごとに最大 N/f_s の遅延を行ない、サンプリング周期 $1/f_s$ 以下の短い遅延はS/H手段のホールド時間を制御することにより実行する。従つて、本発明により、 f_s 一定のままで、 N/f_s 以下の任意の遅延を実現するものである。

〔発明の実施例〕

以下、図を用いて本発明の実施例を詳細に説明する。

第1図は、本発明によるサンプリングによる可変遅延回路の構成を説明した図である。

I入端子から入力した信号は、サンプルホールド手段1でサンプルホールドされ、その後、コンデンサメモリ回路2によつて遅延された後、出力端子3に遅延信号が出力される。ここで、サン

プルスイッチ $Y_1 \sim Y_N$ を制御するシフトレジスタである。このコンデンサメモリ回路の詳細動作は特開昭58-150193で説明されている。

第3図は、スイッチXのサンプリング信号 ϕ_s 、コンデンサメモリ制御用シフトレジスタの書き込みパルス ϕ_w と読み出しパルス ϕ_r のタイミングを説明した図である。

ϕ_w と ϕ_r の位相差 τ_L は、サンプリング周期

$$T = \frac{1}{f_s}, \text{ 遅延データ } DL = i \text{ とすると、}$$

$$\tau_L = \left(i + \frac{1}{2}\right) T \quad i=0, 1, 2, \dots, N-1 \quad (1)$$

となるように、制御回路5で設定される。また、 ϕ_w と ϕ_r の周期は $N \times T$ であり、シフトレジスタSHR-W、SHR-RのクロックCLKにより、周期Tごとにシフトされ、 i だけずれたキャパシタ C_0, C_{0+1} に対し、書き込み読み出しを交互に行なう。各キャパシタにおける信号のホールド時間 τ_i が遅延時間に相当する。従つて、コンデンサメモリ2によつて、バッファA1の出力信号に

リング周波数 f_s は、信号最大周波数 f_{max} の2倍以上必要であり、遅延出力信号は f_s ごとの離散的信号値として得られる。従つて、離散信号をもとのアナログ信号にもどすため、低域濾波回路3を付加する場合もある。また、4はサンプルホールド手段1のサンプル信号 ϕ_s の制御手段、5はコンデンサメモリ回路2の書き込み信号 ϕ_w 、読み出し信号 ϕ_r の制御手段であり、サンプリングクロックCLKと遅延データDS、DLを読み込むことにより、任意の遅延を実行するための制御信号 ϕ_s, ϕ_w, ϕ_r を発生する。

第2図は、本発明の具体的回路構成の例を説明した図である。

スイッチXとコンデンサCとバッファA1からなるサンプルホールド手段の出力は、書き込みスイッチ $X_1 \sim X_N$ によつてメモリコンデンサ $C_1 \sim C_N$ に書き込まれ、読み出しスイッチ $Y_1 \sim Y_N$ によつて遅延出力される。 X_0 はリセットスイッチ、A2はオペアンプであり、SHR-W、SHR-Rはそれぞれ書き込みスイッチ $X_1 \sim X_N$ 、読み出

し $Y_1 \sim Y_N$ を制御するシフトレジスタである。このコンデンサメモリ回路の詳細動作は特開昭58-150193で説明されている。

第3図は、スイッチXのサンプリング信号 ϕ_s 、コンデンサメモリ制御用シフトレジスタの書き込みパルス ϕ_w と読み出しパルス ϕ_r のタイミングを説明した図である。

$$\tau = \tau_s + \tau_L \quad (2)$$

となり、サンプリング周期一定のままで、

$$\frac{1}{2}T < \tau < \left(N + \frac{1}{2}\right)T \quad (3)$$

なる任意の遅延が実現できる。

ところで、サンプリング手段1の最小アキュイジションタイム(サンプリング安定時間)を $\Delta\tau$ として、 $\Delta\tau$ 以下の精度の遅延制御を要求する場合は、第4図に示すように、短遅延用のサンプルホールド手段1、1'を2個(または、3個以上)

設ければよい。第5図は、上記場合のサンプリングパルス ϕ_s 、 ϕ_s' のタイミングを扱った図である。すなわち、短遅延 τ_s が

$$T - \Delta \tau \leq \tau_s < T \quad (4)$$

のとき、第2のサンプルホールド手段1'のサンプリングパルス ϕ_s' を第5図に示すごとく、 ϕ_s と ϕ_w の間に設定する。従つて、 τ_s を2つのサンプルホールド手段1、1'によつて分割して遅延することにより、(4)式の場合の短遅延を実現することができる。

第4図構成において、サンプルホールド手段を3個以上直列接続しても目的の可変遅延が実現できることは明らかである。また、第1図、第4図構成において、複数のサンプルホールド手段を複数のコンデンサメモリの前後どちらに任意の数だけ直列接続しても目的の可変遅延が実現できることは明らかである。

さらに、第4図に示した構成を第6図に示すごとく、M組並列に接続することにより、第4図構成の場合と同一のサンプリングレートでM倍の遅延が実現できる。

1実施例の具体的回路構成、第3図は第1実施例のタイムチャート、第4図は第2の実施例、第5図は第2実施例のタイムチャート、第6図は第3の実施例である。

1、1'、1-1~1-M、1'-1~1'-M…サンプルホールド手段、2、2-1~2-M…コンデンサメモリ回路、3…低減回路、4…サンプルホールドパルス制御手段、5… ϕ_w 、 ϕ_R 制御手段。

代理人 弁理士 小川勝男

延が実現できる。第6図において、1-1~1-MはMケの第1のサンプリング手段、1'-1~1'-MはMケの第2のサンプリング手段、2-1~2-MはMケのコンデンサメモリ回路、

SW-1~SW-Mは切換スイッチである。切換スイッチSW-1~SW-Mは、サンプリング周期ごとに順次どれか1つがONとなる。

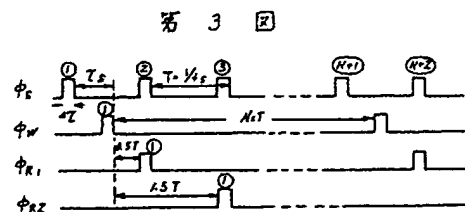
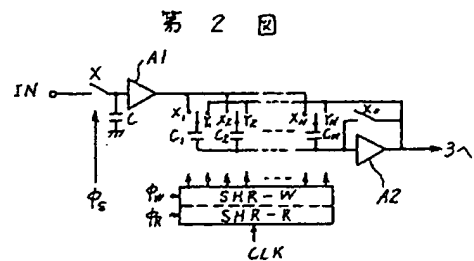
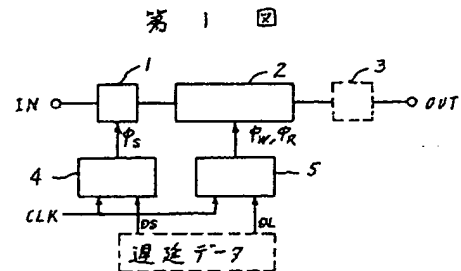
〔発明の効果〕

以下、本発明によれば、サンプリング周期数を固定したままで、サンプリングパルスの位相を制御することにより任意の遅延が実現できるので、可変範囲の広い遅延回路が得られる。

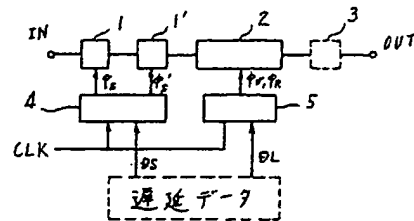
また、本発明の可変遅延回路構成は、サンプルホールド手段とコンデンサメモリ回路とそれらの制御手段とからなるため、例えばCMOSプロセスによるスイッチドキャパシタ回路で構成すれば、本発明の可変遅延回路全体をLSI化することも可能となる。

図面の簡単な説明

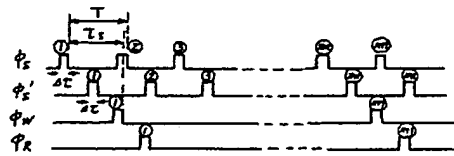
第1図は、本発明の第1の実施例、第2図は第



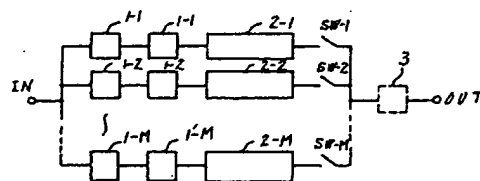
第 4 図



第 5 図



第 6 図



第1頁の続き

⑤Int.Cl.¹

// A 61 B 8/00

識別記号

庁内整理番号

7437-4C

⑦発明者 梅村 晋一郎

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 池田 宏

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内